

Processeur reconfigurable pour applications multimédia

Projet ROMA

Reconfigurable Operators for Multimedia Applications

projet ANR « Architectures du futur » 2007-2009

Labellisé par le pôle « Images et Réseaux »

Partenaires du projet

□ Industriel

- Thomson R&D France SNC (Rennes)

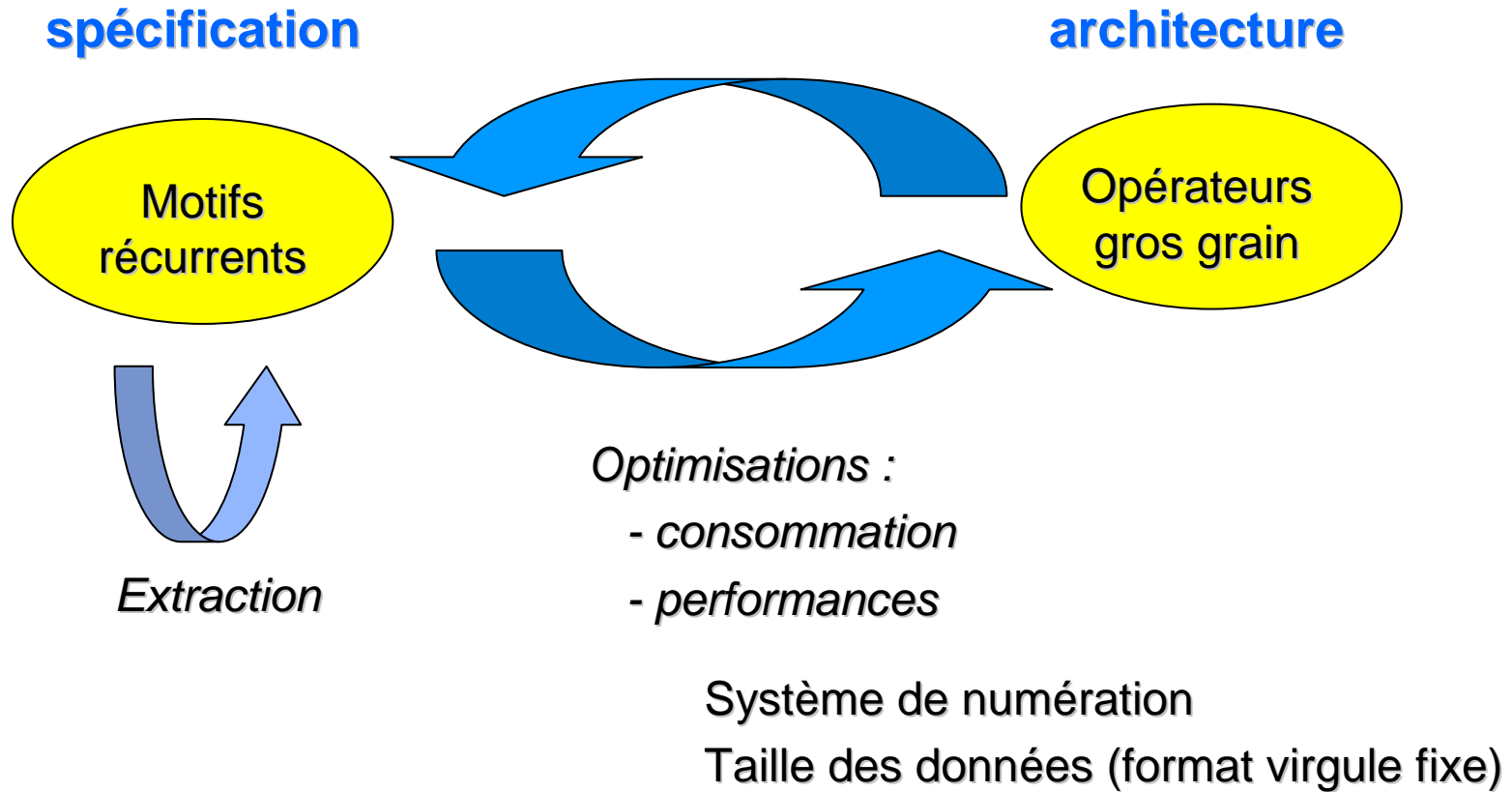
□ Académiques/Public

- CEA - LIST (Saclay)
- IRISA – R2D2 (Rennes/Lannion)
- LIRMM (Montpellier)

Objectifs

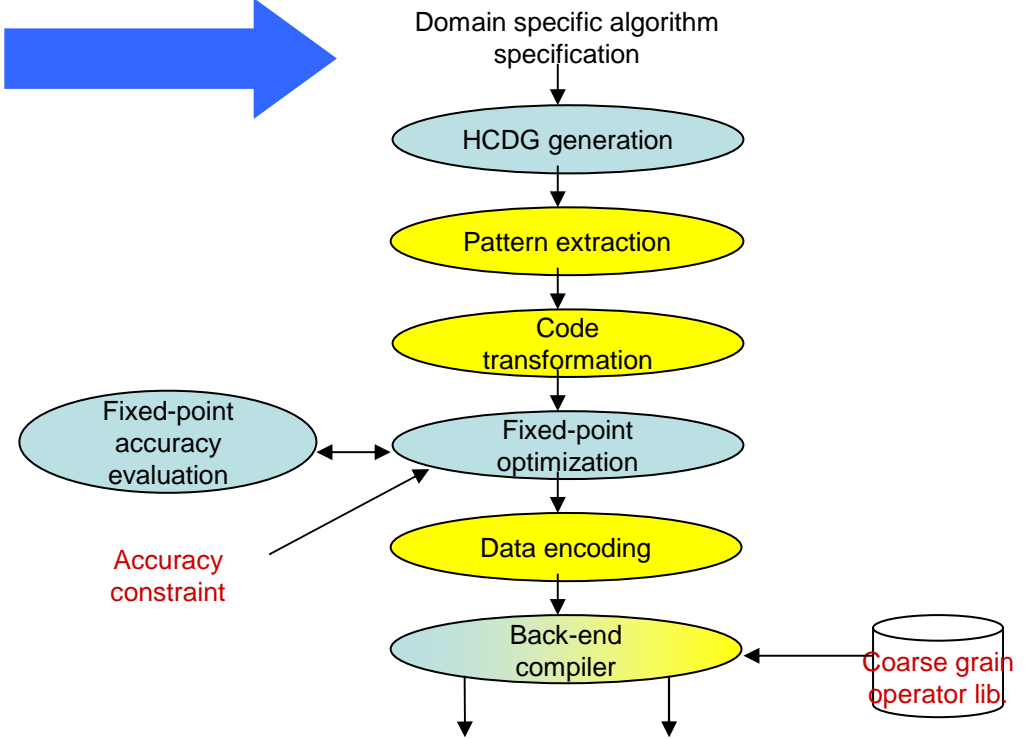
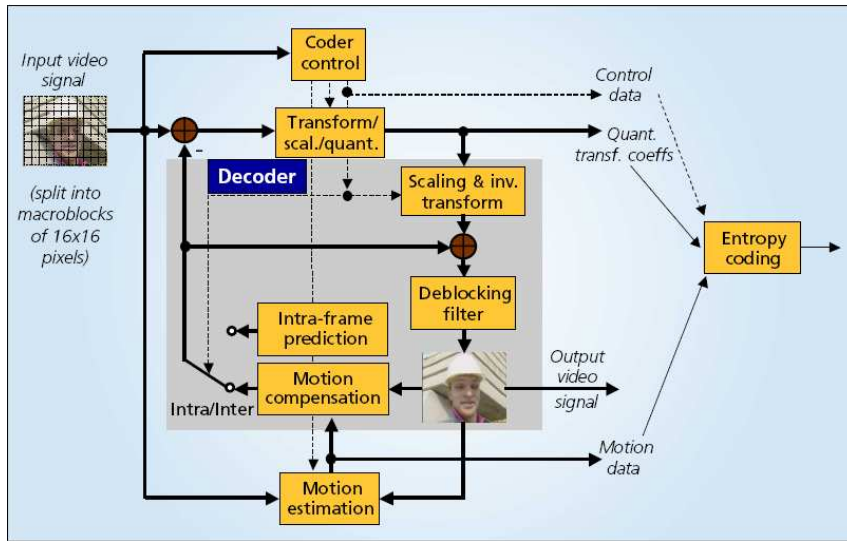
- Conception d'un processeur reconfigurable capable d'adapter sa structure de traitement aux motifs de calculs pour lesquels un gain significatif en termes de performance et de consommation est attendu
 - Étude d'une structure à base d'opérateurs à grain épais et faible consommation
 - Utilisation d'un codage approprié pour la représentation des données + dimensionnement des données
 - Étude d'un environnement de programmation approprié

ROMA



Domaine d'application spécifique : vidéo

ROMA: de l'algorithme au circuit



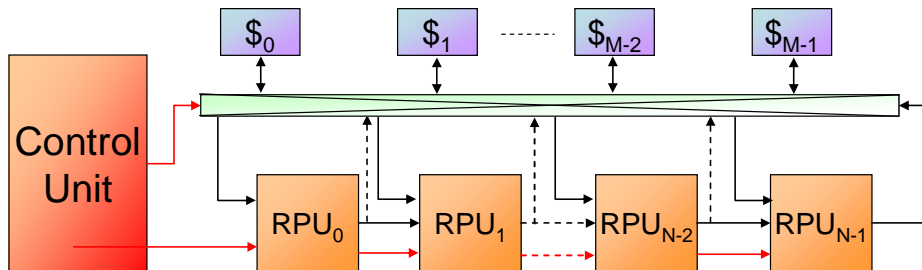
Accuracy constraint

Architecture specific tasks

Main processor program (C)

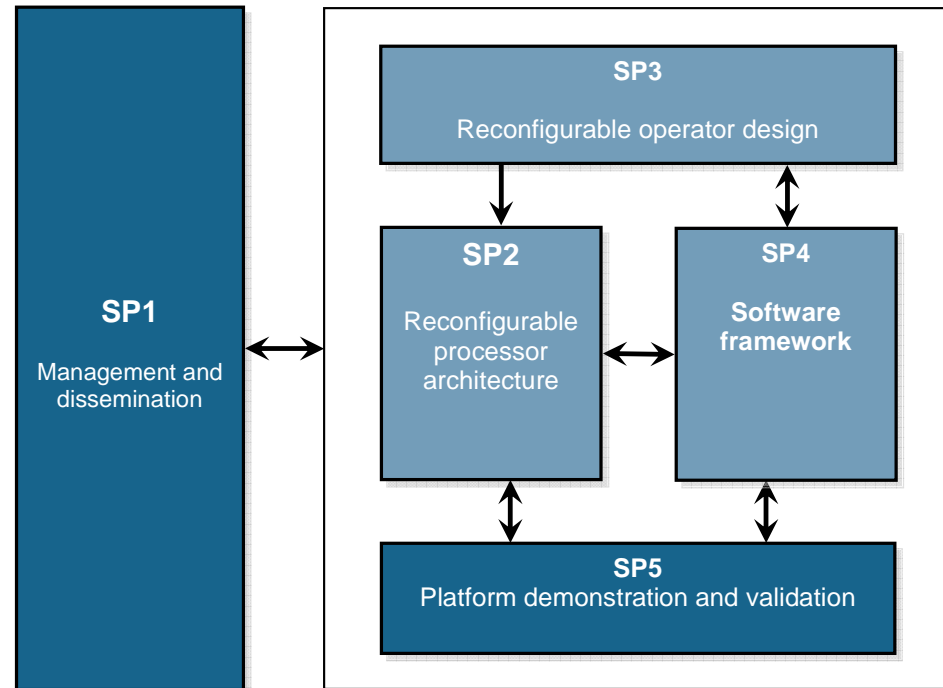
Reconfigurable architecture configuration (VHDL)

Coarse grain operator lib.

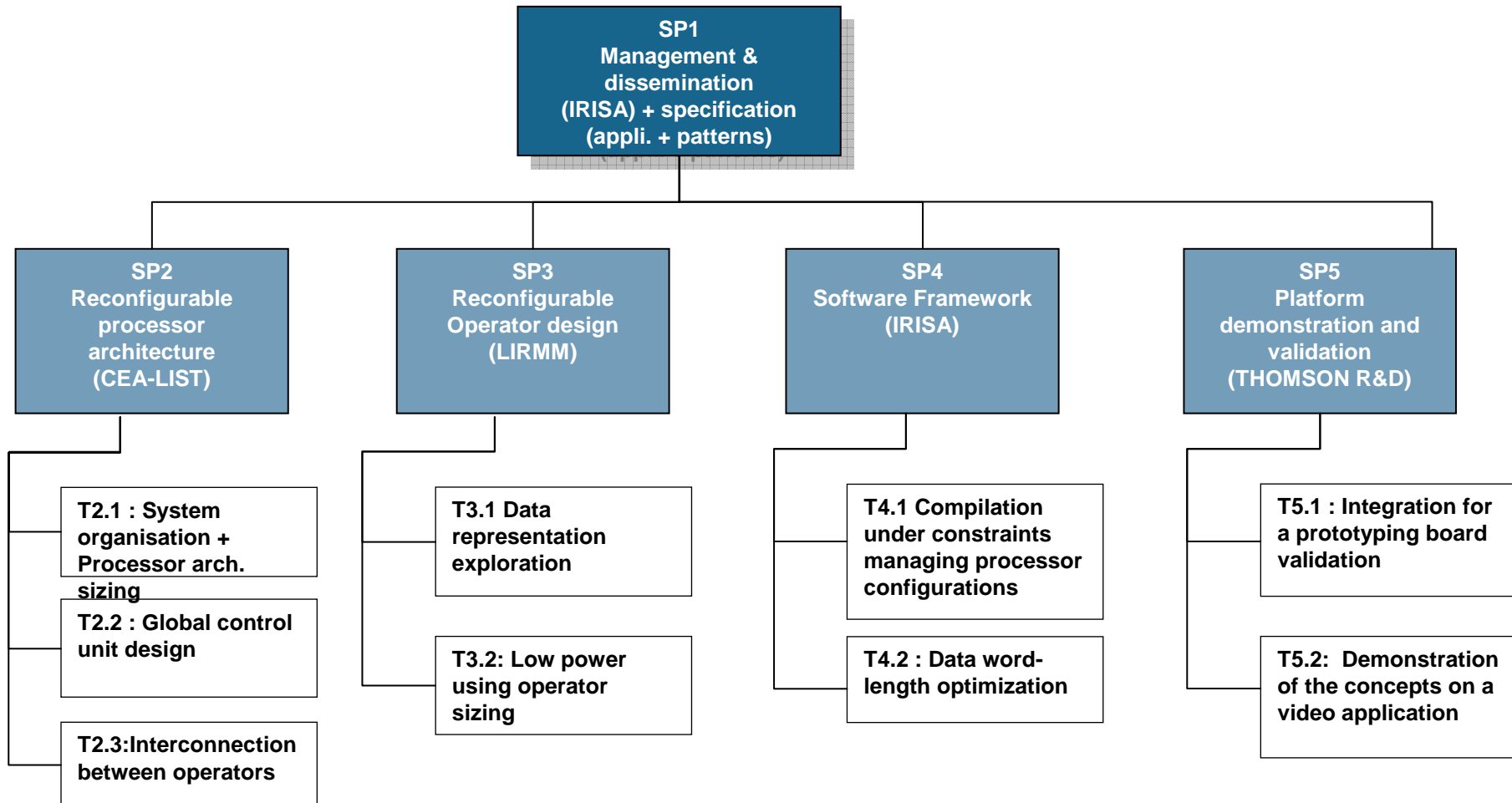


Organisation générale du projet

- ❑ SP1 : Management du projet / Dissémination
- ❑ SP2 : Architecture du processeur reconfigurable
- ❑ SP3 : Architecture des opérateurs reconfigurables
- ❑ SP4 : Environnement logiciel
- ❑ SP5 : Plate-forme de démonstration, validation



Organisation générale du projet



Organisation générale du projet

	Month	M2	M4	M6	M8	M10	M12	M14	M16	M18	M20	M22	M24	M26	M28	M30	M32	M34	M36
SubProject																			
Subproject 1: Project Management and dissemination																			
Task 1.1: Project Management																			
Task 1.2: Dissemination																			
Task 1.3: Specification																			
Subproject 2: HW platform design																			
Task 2.1: System organisation and processor architecture sizing																			
Task 2.2: Global control and configuration unit design																			
Task 2.3: Interconnection network architecture																			
Subproject 3: Reconfigurable operator architecture																			
Task 3.1: Data representation exploration																			
Task 3.2: Low power using operand sizing																			
Subproject 4: Software Framework																			
Task 4.1: Compilation under constraints managing processor configurations																			
Task 4.2: Data word-length optimization																			
Subproject 5: Platform demonstration and validation																			
Task 5.1: Integration on a prototyping board for validation																			
Task 5.1: Demonstration of the concepts on a typical application																			